

DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITE DE COOPERATION EN MATIERE DE BREVETS (PCT)

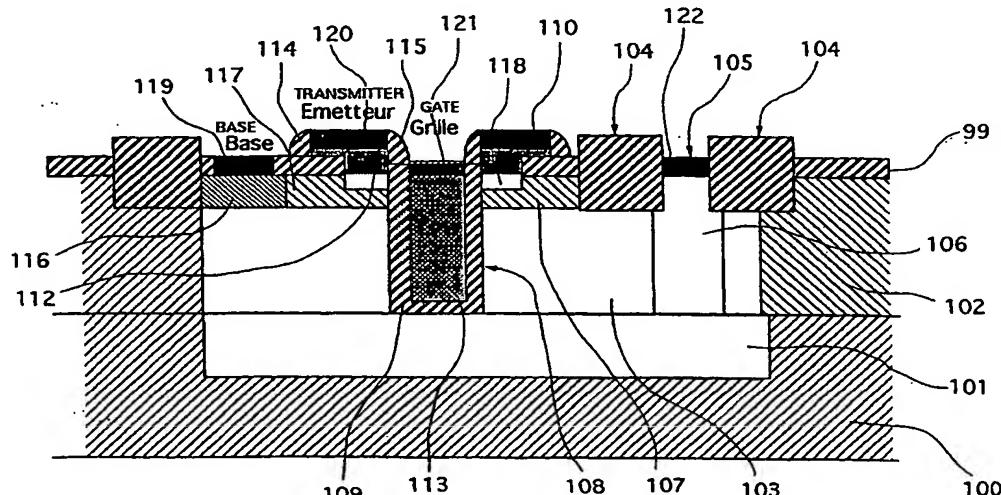
(51) Classification internationale des brevets <sup>7</sup> : <b>H01L 29/73, 21/331, 27/07, 29/732, 21/28</b>		A1	(11) Numéro de publication internationale: <b>WO 00/22678</b>
			(43) Date de publication internationale: 20 avril 2000 (20.04.00)
(21) Numéro de la demande internationale:	PCT/FR99/02485		
(22) Date de dépôt international:	13 octobre 1999 (13.10.99)		
(30) Données relatives à la priorité:	98/12965	13 octobre 1998 (13.10.98)	FR
(71)(72) Déposant et inventeur:	BERLAND, Valérie [FR/FR]; Bât. A, Appartement 21, 19, avenue Léonard de Vinci, F-92400 Courbevoie (FR).		
(74) Mandataire:	VIDON, Patrice; Cabinet Patrice Vidon, Immeuble Germanium, 80, avenue des Buttes de Coësmes, F-35700 Rennes (FR).		

(54) Title: ELEMENTARY MICROELECTRONIC COMPONENT COMBINING BIPOLAR EFFECT WITH MOS EFFECT, METHOD FOR MAKING SAME

(54) Titre: COMPOSANT ELEMENTAIRE MICRO-ELECTRONIQUE CONJUGUANT L'EFFET BIPOLAIRE ET L'EFFET MOS, PROCEDE DE FABRICATION D'UN TEL COMPOSANT

**(57) Abstract**

The invention concerns a novel microelectronic component. More particularly, it concerns a method for improving the performance, in particular current gain, of a bipolar component. The method comprises a step which consists in producing NPN (or PNP) junctions, a channel effect (MOS effect) (113, 103, 107-117, 118) along a direction substantially perpendicular to the junction planes of the doped NP or PN silicon layers (103, 117, 118), thereby causing the positive or negative charge carriers to circulate along said direction and the electric tetrapod microelectronic com-



said direction and the electric current densities to vary in the transistor volume. The invention also concerns a method for making a tetrapod microelectronic component combining the bipolar effect and the MOS effect.

**(57) Abrégé**

La présente invention concerne un nouveau composant microélectronique. Elle concerne plus particulièrement un procédé pour améliorer les performances, notamment le gain en courant, d'un composant bipolaire. Le procédé comprend l'étape de créer dans un transistor bipolaire comportant des jonctions n-p-n (ou p-n-p), un effet canal (un effet MOS) (113, 103, 107-117, 118) selon une direction sensiblement perpendiculaire au plan des jonctions des couches (103, 117, 118) de silicium dopées n-p ou p-n. Il en résulte que les porteurs de charges positives ou négatives circulent selon ladite direction et que les densités de courant électrique varient dans le volume du transistor. L'invention concerne aussi un procédé de fabrication d'un composant microélectronique tétrapode conjuguant l'effet bipolaire et l'effet MOS.

**UNIQUEMENT A TITRE D'INFORMATION**

Codes utilisés pour identifier les Etats parties au PCT, sur les pages de couverture des brochures publiant des demandes internationales en vertu du PCT.

AL	Albanie	ES	Espagne	LS	Lesotho	SI	Slovénie
AM	Arménie	FI	Finlande	LT	Lithuanie	SK	Slovaquie
AT	Autriche	FR	France	LU	Luxembourg	SN	Sénégal
AU	Australie	GA	Gabon	LV	Lettonie	SZ	Swaziland
AZ	Azerbaïdjan	GB	Royaume-Uni	MC	Monaco	TD	Tchad
BA	Bosnie-Herzégovine	GE	Géorgie	MD	République de Moldova	TG	Togo
BB	Barbade	GH	Ghana	MG	Madagascar	TJ	Tadjikistan
BE	Belgique	GN	Guinée	MK	Ex-République yougoslave de Macédoine	TM	Turkménistan
BF	Burkina Faso	GR	Grèce	ML	Mali	TR	Turquie
BG	Bulgarie	HU	Hongrie	MN	Mongolie	TT	Trinité-et-Tobago
BJ	Bénin	IE	Irlande	MR	Mauritanie	UA	Ukraine
BR	Brésil	IL	Israël	MW	Malawi	UG	Ouganda
BY	Bélarus	IS	Islande	MX	Mexique	US	Etats-Unis d'Amérique
CA	Canada	IT	Italie	NE	Niger	UZ	Ouzbékistan
CF	République centrafricaine	JP	Japon	NL	Pays-Bas	VN	Viet Nam
CG	Congo	KE	Kenya	NO	Norvège	YU	Yougoslavie
CH	Suisse	KG	Kirghizistan	NZ	Nouvelle-Zélande	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	République populaire démocratique de Corée	PL	Pologne		
CM	Cameroun	KR	République de Corée	PT	Portugal		
CN	Chine	KZ	Kazakhstan	RO	Roumanie		
CU	Cuba	LC	Sainte-Lucie	RU	Fédération de Russie		
CZ	République tchèque	LI	Liechtenstein	SD	Soudan		
DE	Allemagne	LK	Sri Lanka	SE	Suède		
DK	Danemark	LR	Libéria	SG	Singapour		
EE	Estonie						

**Composant élémentaire micro-électronique conjuguant l'effet bipolaire et l'effet MOS, procédé de fabrication d'un tel composant.**

La présente invention concerne un nouveau composant microélectronique et son procédé de fabrication. Elle concerne plus particulièrement un procédé pour améliorer les performances, notamment le gain en courant, 5 d'un composant bipolaire.

Il est connu des composants bipolaires (BJT : Bipolar Junction Transistor) et des composants à effet de champ (MOS : Metal Oxide Silicon).

Ainsi, dans le brevet US 5 776 813 A (HUANG TZUEN-HSI ET AL) 10 ayant pour titre "Process to manufacture a vertical gate-enhanced bipolar transistor", délivré le 7 juillet 1998, il est décrit un composant tripode ayant exclusivement un fonctionnement bipolaire pur. Il s'agit d'un composant bipolaire amélioré par la présence d'une grille verticale. La grille verticale latérale est en court-circuit avec le contact de base Si-P. Il n'y a que trois 15 fenêtres de contact galvanique : une pour le collecteur, une pour l'émetteur, une pour la grille en court-circuit avec la base. Corrélativement, il n'y a qu'un seul mode de fonctionnement : un mode de fonctionnement bipolaire. En effet, puisqu'il y a un court-circuit entre la grille et la base il n'est pas possible de polariser la grille indépendamment de la base : il ne 20 peut donc y avoir un mode de fonctionnement MOS. Pour les mêmes raisons, le composant décrit dans le brevet US 5 776 813 ne permet pas un contrôle du gain  $\beta = I_c/I_b$  ( $I_c$  désignant le courant collecteur,  $I_b$  désignant le courant base).

Il est également connu des composants BICMOS comportant sur un même 25 substrat des composants bipolaires et des composants MOS.

De tels composants ont notamment été décrits dans le document MOERSCHEL K G ET AL : " Best : a BICMOS-compatible super-self-aligned ECL technology", (Conf : 12 et 13 mai 1990, pages 1831-1834,

XP000167730 Institute of Electrical and Electronical Engineers) et dans la demande EP 0 657 944 A (NORTHERN TELECOM LTD).

L'une des caractéristiques les plus importantes d'un composant microélectronique est son gain en courant. Dans le meilleur des cas, le gain en courant d'un composant BICMOS est communément compris entre 100 et 200. Par ailleurs, le coût d'un circuit intégré dépend du taux d'intégration des transistors. Le taux d'intégration est lui-même limité par le fait que chaque transistor d'un BICMOS est disjoint des autres par l'intermédiaire d'un caisson ou mur d'isolation. Enfin, les composants électroniques sont de plus en plus utilisés en milieu hostile, notamment pour des applications dans le domaine nucléaire, spatial ou médical ou encore dans celui des accélérateurs de particules.

10 Réaliser un composant microélectronique ayant des gains en courant supérieurs à ceux obtenus à ce jour, ayant aussi un taux d'intégration élevé et un comportement stable en milieu hostile constitue donc un problème particulièrement difficile à résoudre. Son enjeu économique est considérable. La présente invention a pour objectif la résolution d'un tel problème.

15 Nota : chaque fois que dans la description ci-après on utilise l'expression couche p et que cette couche p correspond à la base, on désigne ainsi aussi bien une couche Si-p qu'une couche SiGe-p.

20 Le procédé selon l'invention pour améliorer les performances, notamment le gain en courant, d'un composant électronique tétrapode, comprend l'étape d'intégrer un composant MOS comportant une source, une grille et un drain dans un transistor bipolaire comportant un émetteur, une base et un collecteur. Le transistor bipolaire et le composant MOS sont tels que l'émetteur et la source sont constitués par la même couche n ou p, et tels que le collecteur et le drain sont constitués par la même couche n ou p. L'effet MOS est dans une direction perpendiculaire aux plans des couches

n ou p du transistor bipolaire. Il en résulte que les porteurs de charges positives ou négatives circulent selon ladite direction et que les densités de courant électrique varient dans le volume du transistor. Lesdits émetteur, 5 base, grille et collecteur sont électriquement connectés à quatre contacts galvaniques distincts. On verra ci-après, lors de la description d'une variante de réalisation citée à titre d'exemple, qu'ils sont respectivement référencés (120), (119), (121), (122) pour l'émetteur (118), la base (117), la grille (113) et le collecteur (103).

Le procédé selon l'invention comprend aussi l'étape de polariser les quatre 10 contacts galvaniques, selon des tensions indépendantes les unes des autres, de manière à mettre en oeuvre l'un ou l'autre des trois modes de fonctionnement suivants :

- \* fonctionnement bipolaire,
- \* fonctionnement MOS,
- \* fonctionnement hybride,

15 Ainsi, en mode de fonctionnement hybride, il est possible d'ajuster la valeur du gain en courant.

De préférence, pour créer ledit effet canal la différence de potentiel entre la grille et la base est appliquée sur au moins une des faces d'une tranchée perpendiculaire aux plans des couches n et p empilées du transistor bipolaire. Dans une autre variante de réalisation du procédé selon 20 l'invention, on applique la différence de potentiel entre la grille et la base sur les faces d'un puits traversant perpendiculairement les couches n et p empilées du transistor bipolaire.

25 Avantageusement, la différence de potentiel entre la grille et la base a une valeur sensiblement comprise entre 0 Volt et 5 Volts .

La présente invention concerne aussi un composant microélectronique mettant en oeuvre le procédé d'amélioration de gain de courant.

Selon l'invention, le composant microélectronique tétrapode conjuguant

l'effet bipolaire et l'effet MOS comprend des couches de silicium n et p empilées pour former un transistor du type n-p-n ou p-n-p. Les couches externes forment respectivement l'émetteur et le collecteur dudit transistor et la couche intermédiaire formant la base. Lesdites couches sont connectées électriquement à des contacts galvaniques distincts de base, d'émetteur et de collecteur situés à l'extérieur dudit composant.

Le composant comporte également une tranchée traversant perpendiculairement au moins deux des couches contiguës de silicium n et p. Ladite tranchée contient un matériau électriquement polarisable, notamment un polysilicium. Ledit matériau électriquement polarisable est couplé par effet capacitif avec les couches de silicium n et p situées en vis-à-vis. Ledit matériau électriquement polarisable forme la grille du transistor MOS ainsi composé et est connecté électriquement à un contact galvanique, situé à l'extérieur dudit composant, distinct des autres contacts galvaniques de base, d'émetteur et de collecteur.

De préférence, ledit matériau électriquement polarisable est électriquement isolé des couches de silicium n et p par une couche isolante, notamment d'oxyde de silicium.

De préférence également, dans une première variante de réalisation, ladite couche de silicium intermédiaire formant base entoure sur trois côtés la couche de silicium rectangulaire formant émetteur. Ladite couche de silicium formant collecteur entoure sur deux côtés la couche de silicium formant base. Ladite tranchée, accolée aux tranches n et p, est disposée selon l'un des côtés de la couche de silicium formant base.

De préférence également, dans le cas d'une autre variante de réalisation, ladite couche de silicium intermédiaire formant base entoure la couche de silicium rectangulaire formant émetteur sur ses quatre côtés. Ladite couche de silicium formant collecteur entoure la couche de silicium formant base sur ses trois côtés. Ladite tranchée, accolée aux tranches n et p, est en

forme de puits et est entourée par l'émetteur qu'elle traverse.

Avantageusement,

- la tension appliquée au contact galvanique connecté à l'émetteur est notamment comprise entre 0 Volt et 5 Volts,

5 - la tension appliquée au contact galvanique connecté à la base est notamment comprise entre 0 Volt et 5 Volts,

- la tension appliquée au contact galvanique connecté au collecteur est notamment comprise entre 0 Volt et 5 Volts,

10 - la tension appliquée au contact galvanique connecté à la grille est notamment comprise entre 0 Volt et 5 Volts.

Ce composant original, ci-après dénommé transistor TBM (Transistor Bipolaire-MOS), est un tétrapode qui conjugue dans la topologie physique et dans sa fonctionnalité, l'effet bipolaire et l'effet MOS. Ce composant présente les avantages suivants :

15 - il présente les fonctionnalités d'un composant bipolaire ou celles d'un composant MOS, selon la manière dont il est connecté,

- en fonctionnement bipolaire pur, son gain en courant est compris entre 100 et 200,

20 - en fonctionnement hybride ou mixte, son gain en courant peut être contrôlé dans une gamme comprise entre 100 et  $10^4$  (en théorie, il peut atteindre  $10^7$ ),

- il résiste aux radiations ionisantes et il ne présente pas de dérive du gain en courant,

- il a un bon taux d'intégration.

25 Il peut être employé pour des applications grand public, spatial et/ou militaire, dans les domaines numérique et analogique.

La présente invention concerne également un procédé pour fabriquer un composant microélectronique tétrapode conjuguant l'effet bipolaire et l'effet MOS. En effet, il a été découvert que les technologies éprouvées de

fabrication des composants BICMOS pouvaient être employées pour fabriquer le composant TBM, sous réserve de mettre en oeuvre simultanément un procédé pour réaliser la tranchée ou le puits vertical composant la grille.

5 Le composant tétrapode, fabriqué au moyen du procédé selon l'invention, comprend des couches de silicium n et p empilées pour former un transistor bipolaire du type n-p-n ou p-n-p. Les couches externes forment respectivement l'émetteur et le collecteur dudit transistor et la couche intermédiaire forme la base. Lesdites couches sont connectées électriquement à des contacts galvaniques situés à l'extérieur dudit composant et isolés par des murs d'isolation en oxyde de silicium. Une tranchée traverse perpendiculairement au moins deux des couches contiguës de silicium n et p. Ladite tranchée contient un matériau électriquement polarisable, notamment un polysilicium. Ledit matériau électriquement polarisable est couplé par effet capacitif avec les couches de silicium n et p situées en vis-à-vis. Ledit matériau électriquement polarisable forme la grille du transistor MOS ainsi composé et est connecté électriquement à un contact galvanique situé à l'extérieur dudit composant.

10

15

20 La jonction émetteur-base est également envisageable à l'aide d'hétérojonctions telles que Si-n<sup>+</sup> - SiGe au lieu de jonctions uniquement de type Si-n<sup>+</sup> - Si-p. Un composant TBM réalisé avec des hétérojonctions peut être utilisé pour concevoir des portables (micro-ordinateurs, téléphones mobiles, etc. ...) impliquant une faible consommation électrique.

25

Selon l'invention, pour fabriquer le composant microélectronique tétrapode, on met en oeuvre au moins certaines des étapes suivantes, connues en soi, entrant dans la fabrication des composants transistors tels que des BICMOS et des composants mémoires tels que des DRAM

(Dynamique Random Access Memory). Les technologies de fabrication des composants BICMOS ont notamment été décrites dans la thèse de Elmut Puchner "Advanced Process Modeling For VLSI Technology", Vienne 1996, Chap. 5.2 "BICMOS Process Technology". On peut aussi se reporter à l'article de MOERSCHEL K G ET AL : " Best : a BICMOS-compatible super-self-aligned ECL technology", (Conf : 12 et 13 mai 1990, pages 1831-1834, XP000167730 Institute of Electrical and Electronical Engineers)

Selon l'invention, pour fabriquer le composant TBM, on procède par étape\* comme spécifié ci-après.

\* Nota : chaque étape comprend une phase de masquage de la surface selon les positions des zones désirées (masque de nitride), une phase de gravure de l'oxyde de silicium natif, puis une phase de traitement déterminée, enfin une phase d'attaque chimique sélective afin de supprimer le masque de nitride.

Etape 1 : on réalise un substrat de silicium faiblement dopé p de type Si-p ou dopé n de type Si-n, ledit substrat étant recouvert d'une couche isolante d'oxyde de silicium. Cette couche isolante d'oxyde de silicium est réalisée par désoxydation de l'oxyde natif du substrat puis par oxydation contrôlée pour assurer une homogénéité de la surface et une qualité de l'interface Si-SiO<sub>2</sub>. Sans sortir du cadre de la présente invention, on pourrait aussi utiliser et réaliser des substrats silicium du type "Silicium sur Isolant" (SOI et SOS : Silicon Over Insulator et Silicon Over Saphir). Dans le texte : substrat désignera un substrat silicium ou un substrat du type "Silicium sur Isolant".

Etape 2 : on réalise, par implantation localisée d'ions antimoine ou d'ions bore, la couche enterrée de type Si-n<sup>+</sup> ou Si-p<sup>+</sup> du collecteur.

Etape 3 : on dépose sur le substrat de silicium et sur la couche enterrée, par croissance épitaxiale, une couche de silicium de type Si-p ou une couche

de silicium de type Si-n.

Etape 4 : on réalise, par implantation localisée d'ions antimoine ou d'ions bore, dans la couche de type Si-p ou de type Si-n, un caisson de silicium dopé de type Si-n ou Si-p, destiné à constituer le collecteur.

5 Etape 5 : on réalise, par sur-oxydation en surface, les murs d'isolation d'oxyde de silicium ( $\text{SiO}_2$ ) autour de la zone prévue pour recevoir le contact galvanique du collecteur et aux extrémités du composant.

10 Etape 6 : on réalise, par implantation localisée d'ions phosphore ou d'ions bore à la verticale de l'emplacement prévu pour recevoir le contact galvanique du collecteur, le puits d'accès à la couche enterrée du collecteur ; ledit puits d'accès étant de type  $\text{Si-n}^+$  ou  $\text{Si-p}^+$ .

Etape 7 : on réalise, par implantation localisée d'ions bore ou d'ions phosphore dans le caisson, une couche de silicium de type Si(ou SiGe)-p ou Si-n, destinée à composer la base.

15 Etape 8 : on réalise ladite tranchée par gravure par ion réactif (R.I.E., Reactive Ion Etching) à la verticale de l'emplacement de la grille.

Les techniques de gravure par ion réactif ont notamment été décrites dans les ouvrages suivants : ouvrage de B. El-Kareh, "The evolution of DRAM cell technology" ; ouvrage de S.M. Sze, "VLSI technology", Chap. 5, McGraw-Hill Editor, 1988, ISBN 0-07-062735-5 ; ouvrage de Peter Krauss "Sub-50 nm Reactive Ion Etching" ; thèse de Karl Wimmer "Two Dimensional Nonplanar Process Simulation", Vienne 1993, Chap. 3.7.1 "Trench Isolation" ; ouvrage de Ernst Obermeier "Microsensor and Actuator Technology", Berlin.

25 Etape 9 : par oxydation, on nappe d'une couche d'oxyde de silicium les parois de ladite tranchée de manière à constituer la couche diélectrique de la liaison capacitive entre la grille et les couches n ou p du composant.

Etape 10 : on réalise par gravure dans la couche d'oxyde de silicium des évidements prévus pour recevoir la couche de silicium dopée composant

l'émetteur.

Etape 11 : on dépose une couche de polysilicium dans la tranchée et sur la surface du composant, notamment dans lesdits évidements.

Etape 12 : on enlève par gravure, dans la couche de polysilicium, toutes les parties autres que celles prévues pour composer l'émetteur et la grille.

5

Etape 13 : on réalise, par oxydation localisée du polysilicium, des murs d'isolation en oxyde de silicium entourant l'émetteur et la grille.

Etape 14 : on réalise, par implantation localisée d'ions bore ou d'ions phosphore dans la couche de silicium de type Si-p ou Si-n, une liaison électrique de type Si-p<sup>+</sup> ou Si-n<sup>+</sup> entre la base de type Si-p ou Si-n et le contact galvanique de la base.

10

Etape 15 : on procède à un recuit thermique du composant à une température telle que les atomes dopants contenus dans le polysilicium diffusent dans la couche de silicium de type Si-p ou Si-n, de manière à réaliser l'émetteur de type Si-n<sup>+</sup> ou Si-p<sup>+</sup>.

15

Etape 16 : on met en place les contacts galvaniques distincts de la base, de l'émetteur, de la grille, du collecteur.

De préférence, on réalise les contacts galvaniques en procédant :

20

- à l'ouverture des zones de contact de la base et du collecteur, notamment en gravant l'oxyde de silicium (masquage suivi d'une attaque chimique),

- au dépôt de titane ou de tungsten sur toute la surface du composant,

- un recuit thermique pour réaliser les siliciures de titane ou de tungsten assurant les contacts métal-silicium,

25

- une gravure sélective du titane ou du tungsten à l'emplacement des zones de dépôt situées au dessus de l'oxyde de silicium.

Ainsi, il a été montré qu'il est possible d'utiliser des procédés éprouvés pour réaliser chacune des étapes composant le procédé de fabrication selon l'invention. Le microcomposant électronique TBM peut donc être réalisé

sans surcoût majeur par rapport aux composants BICMOS.

D'autres caractéristiques et avantages de l'invention apparaîtront à la lecture de la description de variantes de réalisation de l'invention, données à titre d'exemple indicatif et non limitatif, et de :

- 5 - la figure 1 qui représente une vue en coupe longitudinale d'une première variante de réalisation (dite puits) d'un composant TBM,
- la figure 2 qui représente une vue de dessus de la variante de réalisation représentée sur la figure 1,
- la figure 3 qui représente une vue en coupe longitudinale d'une 10 deuxième variante de réalisation (dite tranchée) d'un composant TBM,
- la figure 4 qui représente une vue de dessus de la variante de réalisation représentée sur la figure 3,
- les figures 5.1 à 5.16 qui représentent les vues en coupe longitudinale du 15 composant TBM selon la variante de réalisation de la figure 1, au cours des différentes étapes de son procédé de fabrication,
- la figure 6 qui représente les variations du courant de base  $I_b$  et du courant de collecteur  $I_c$  en fonction de la différence de potentiel  $V_{eb}$  entre 0 V et 1 V pour différentes valeurs de la différence de potentiel  $V_{gb}$  entre 0 V et -0,8 V,
- la figure 7 qui représente les variations du gain en courant  $I_c/I_b$  en fonction du courant de collecteur  $I_c$  pour différentes valeurs de la 20 différence de potentiel  $V_{gb}$  entre 0 V et -0,8 V.

On va maintenant décrire en se référant à la figure 1 le procédé pour améliorer les performances, notamment le gain en courant, d'un composant bipolaire. Le procédé comprend l'étape de créer dans un transistor 25 bipolaire comportant des jonctions n-p-n (ou p-n-p), un effet canal (un effet MOS) 113, 103, 117, 118 selon une direction sensiblement perpendiculaire aux plans des jonctions des couches 103, 117, 118 de silicium dopées n-p ou p-n. Il en résulte que les porteurs de charges positives ou négatives

circulent selon ladite direction et que les densités de courant électrique varient dans le volume du transistor.

De préférence, pour créer ledit effet canal, on applique une tension de polarisation sur au moins une tranche des couches 103, 117, 118 n et p empilées.

De préférence également, dans une autre variante de réalisation du procédé selon l'invention (figures 1 et 2), on applique ladite tension de polarisation sur les faces 109 d'un puits 108 traversant perpendiculairement les couches 118, 117, 103 n et p empilées. Dans une autre variante de réalisation (figures 3 et 4), on applique ladite tension de polarisation sur l'une au moins des faces d'une tranchée 108 perpendiculaire au plan des couches 118, 117, 103 n et p empilées.

Avantageusement, on applique une tension de polarisation dont la valeur est sensiblement comprise entre 0 Volt et 5 Volts.

On va maintenant décrire en se référant aux figures 1 à 4 deux variantes de réalisation d'un composant mettant en oeuvre le procédé d'amélioration du gain en courant. Sur ces figures, les éléments de même nature portent les mêmes références numériques. Le composant microélectronique tétrapode 119, 120, 121, 122 conjuguant l'effet bipolaire et l'effet MOS, comprend des couches 103, 117, 118 de silicium n et p empilées pour former un transistor du type n-p-n ou p-n-p. Les couches 103, 117, 118 ont respectivement pour épaisseur 1  $\mu\text{m}$ , 0,3  $\mu\text{m}$ , 0,1  $\mu\text{m}$  (1 micron : symbole  $\mu$  =  $10^{-6}$  m). Les couches externes 118, 103 forment respectivement l'émetteur 118 et le collecteur 103 dudit transistor et la couche intermédiaire 107, 117 forme la base 117. Lesdites couches sont connectées électriquement par des contacts galvaniques 119, 120, 122 situés à l'extérieur dudit composant. Le composant comporte également une tranchée 108, 113 traversant perpendiculairement les couches 103, 117, 118 de silicium n et p. Ladite tranchée 108 contient un matériau électriquement polarisable,

5

notamment un polysilicium 111. Ledit matériau électriquement polarisable est couplé par effet capacitif avec les couches 103, 107-117, 118 de silicium n et p situées en vis-à-vis. Ledit matériau électriquement polarisable forme la grille 113 du transistor MOS ainsi composé et est connecté électriquement à un contact galvanique 121 situé à l'extérieur dudit composant. Ledit matériau électriquement polarisable 111 est électriquement isolé des couches de silicium n et p par une couche isolante 109, notamment d'oxyde de silicium.

10

15

Dans le cas de la variante de réalisation représentée sur les figures 1 et 2 ladite couche de silicium intermédiaire 107-117 formant base entoure la couche de silicium rectangulaire formant émetteur 118 sur ses quatre côtés. La couche formant base est rectangulaire et a pour dimensions 3  $\mu\text{m}$  x 2,5  $\mu\text{m}$ . La couche formant émetteur est carrée et a 1,5  $\mu\text{m}$  de coté. Ladite couche de silicium formant collecteur 103 entoure la couche de silicium 107-117 formant base sur trois côtés. La couche de silicium formant collecteur est de section rectangulaire et a pour dimensions 4  $\mu\text{m}$  x 3,5  $\mu\text{m}$ . Ladite tranchée 108, accolée aux tranches n et p 103, 107-117, 118, est en forme de puits de section carrée et a 0,5  $\mu\text{m}$  de coté. Elle est entourée par l'émetteur 118 qu'elle traverse en son centre.

20

25

Dans la variante de réalisation représentée sur les figures 3 et 4, ladite couche de silicium intermédiaire 107-117 formant base 117 entoure sur trois côtés la couche de silicium 118 rectangulaire formant émetteur. La couche formant base est rectangulaire et a pour dimensions 3  $\mu\text{m}$  x 2,5  $\mu\text{m}$ . La couche formant émetteur est carrée et a 1,5  $\mu\text{m}$  de coté. Ladite couche de silicium 103 formant collecteur entoure sur deux côtés la couche de silicium 107-117 formant base. La couche de silicium formant collecteur est de section rectangulaire et a pour dimensions 4  $\mu\text{m}$  x 3,5  $\mu\text{m}$ . Ladite tranchée 108, accolée aux tranches n et p, est disposée selon l'un des côtés de la couche de silicium 107-117 formant base. La tranchée 108 est de forme

rectangulaire et a pour dimensions 0,5 µm x 2,5 µm.

Dans les cas de l'une ou l'autre de ces variantes de réalisation, avantageusement :

- la tension appliquée au contact galvanique 120 connecté à l'émetteur 118 est notamment comprise entre 0 Volt et 5 Volts ,
- la tension appliquée au contact galvanique 119 connecté à la base 107-117 est notamment comprise entre 0 Volt et 5 Volts ,
- la tension appliquée au contact galvanique 122 connecté au collecteur 103 est notamment comprise entre 0 Volt et 5 Volts ,
- la tension appliquée au contact galvanique 121 connecté à la grille 113 est notamment comprise entre 0 Volt et 5 Volts .

Dans ces conditions opératoires les gains en courant, en appliquant les procédures usuelles, sont précisés dans les tableaux ci-après.

Cas de couches silicium n-p-n superposées respectivement : TBM (npn).

Modes de fonctionnement	Tension (Vg) appliquée sur grille (121)	Tension (Vb) appliquée sur base (119)	Tension (Ve) appliquée sur émetteur (120)	Tension (Vc) appliquée sur collecteur (122)	Gain en courant
Bipolaire n-p-n pur	0 V	0,6 V	0 V (référence des potentiels)	entre 0 et 5V	autour de 150
NMOS pur	1 V	0 V (référence des potentiels)	0 V	entre 0 et 5V	/
hybride	entre 0V et 1V	0,6V	0 V (référence des potentiels)	entre 0 et 5V	entre 100 et 10 <sup>4</sup>

Cas de couches silicium p-n-p superposées respectivement : TBM (pnp).

Modes de fonctionnement	Tension (Vg) appliquée sur grille (121)	Tension (Vb) appliquée sur base (119)	Tension (Ve) appliquée sur émetteur (120)	Tension (Vc) appliquée sur collecteur (122)	Gain en courant
Bipolaire n-p-n pur	0 V	- 0,6 V	0 V (référence des potentiels)	entre - 5V et 0	autour de 100
PMOS pur	-1 V	0 V (référence des potentiels)	0 V	entre - 5V et 0V	/
hybride	entre -1V et 0V	- 0,6V	0 V (référence des potentiels)	entre - 5V et 0V	entre 100 et 10 <sup>4</sup>

Ainsi que l'on peut le constater à la lecture de ce tableau, le transistor TBM (Transistor Bipolaire-MOS) est un tétrapode qui conjugue dans la

topologie physique et dans sa fonctionnalité, l'effet bipolaire et l'effet MOS. Ce composant présente les avantages suivants :

- En fonctionnement bipolaire pur, son gain en courant est compris entre 100 et 200.

5 - En fonctionnement hybride ou mixte, son gain en courant peut être contrôlé dans une gamme comprise entre 100 et  $10^4$  (en théorie, il peut atteindre  $10^7$ ).

10 - Dans le mode hybride, plus la tension de grille se rapproche de la tension de seuil donnée en mode MOS pur (1 V pour le TBM npn ; et -1 V pour le TBM pnp), plus le gain en courant augmente. Le gain est contrôlé par la tension appliquée sur le contact galvanique de grille. Ce qui n'est pas le cas dans le mode bipolaire pur où le gain est fixe.

15 Sur la figure 6 on a représenté les variations de  $I_b$  (courbe 600) et  $I_c$  (courbes 601, 602, 603, 604, 605) en fonction de  $V_{be}$  pour différentes valeurs de  $V_{gb}$  (courbes dites de GUMMEL),

I<sub>b</sub> désignant le courant de base,

I<sub>c</sub> désignant le courant de collecteur,

V<sub>be</sub> désignant la différence de potentiel base-émetteur,

V<sub>gb</sub> désignant la différence de potentiel grille-base,

20 La courbe 601 correspond au cas où  $V_{gb} = 0$  Volts

La courbe 602 correspond au cas où  $V_{gb} = -0,2$  Volts

La courbe 603 correspond au cas où  $V_{gb} = -0,4$  Volts

La courbe 604 correspond au cas où  $V_{gb} = -0,6$  Volts

La courbe 605 correspond au cas où  $V_{gb} = -0,8$  Volts

25 La courbe 600 représente les variations de  $I_b$  dans le cas où  $V_{gb}$  prend des valeurs entre 0 V et -0,8 V (invariance).

On constate, si l'on compare ces courbes à celles de la figure 10 du brevet US 5 776 813, que dans le cas de la présente invention on obtient un réseau de courbes  $I_c = f(V_{be})$  paramétrées par  $V_{gb}$  (601 à 605), alors que

dans le cas du composant tripode selon l'art antérieur (base et grille en court-circuit) on n'obtient qu'une seule courbe (courbe 112 du brevet US 5 776 813).

5 Sur la figure 7 on a représenté les variations du gain en courant  $I_c/I_b$  en fonction de  $I_c$  pour différentes valeurs de  $V_{gb}$ . On obtient une réseau de courbes 701, 702, 703, 704, 705.

La courbe 701 correspond au cas où  $V_{gb} = 0$  Volts

La courbe 702 correspond au cas où  $V_{gb} = - 0,2$  Volts

La courbe 703 correspond au cas où  $V_{gb} = - 0,4$  Volts

10 La courbe 704 correspond au cas où  $V_{gb} = - 0,6$  Volts

La courbe 705 correspond au cas où  $V_{gb} = - 0,8$  Volts

On constate, si l'on compare ces courbes à celles de la figure 11 du brevet US 5 776 813, que dans le cas de la présente invention on obtient un réseau de courbes  $I_c/I_b = f(I_c)$  paramétrées par  $V_{gb}$  (701 à 705), alors que dans le cas du composant tripode selon l'art antérieur (base et grille en court-circuit) on n'obtient qu'une seule courbe.

15 On va maintenant décrire en se référant aux figures 5.1 à 5.16 une variante de réalisation du procédé de fabrication du transistor TBM représenté sur la figure 1. On met en oeuvre les étapes ci-après décrites.

20 Etape 1 (figure 5.1) : on réalise un substrat de silicium 100 faiblement dopé p de type Si-p ou dopé n de type Si-n. Ledit substrat est recouvert d'une couche 99 isolante d'oxyde de silicium. Cette couche isolante d'oxyde de silicium 99 est réalisée par désoxydation de l'oxyde natif du substrat puis par oxydation contrôlée pour assurer une homogénéité de la surface et un qualité de l'interface Si-SiO<sub>2</sub>.

25 Etape 2 (figure 5.2) : on réalise, par implantation localisée d'ions antimoine ou d'ions bore, la couche enterrée 101 de type Si-n<sup>+</sup> ou Si-p<sup>+</sup> du collecteur 103.

Etape 3 (figure 5.3) : on dépose sur le substrat de silicium 100 et sur la

couche enterrée 101, par croissance épitaxiale, une couche 102 de silicium de type Si-p ou une couche de silicium de type Si-n.

Etape 4 (figure 5.4) : on réalise par implantation localisée d'ions antimoine ou d'ions bore, dans la couche 102 de type Si-p ou de type Si-n, un caisson 103 de silicium dopé de type Si-n ou Si-p, destiné à constituer le collecteur 103.

Etape 5 (figure 5.5) : on réalise, par sur-oxydation en surface, les murs d'isolation 104 d'oxyde de silicium ( $\text{SiO}_2$ ) autour de la zone 105 prévue pour recevoir le contact galvanique 122 du collecteur et aux extrémités du

10

composant.

Etape 6 (figure 5.6) : on réalise, par implantation localisée d'ions phosphore ou d'ions bore à la verticale de l'emplacement 105 prévu pour recevoir le contact galvanique du collecteur, le puits d'accès 106 à la couche enterrée 101 du collecteur. Ledit puits d'accès est de type  $\text{Si-n}^+$  ou  $\text{Si-p}^+$ .

15

Etape 7 (figure 5.7) : on réalise, par implantation localisée d'ions bore ou d'ions phosphore dans le caisson 103, une couche 107 de silicium de type Si-p ou Si-n, ou de SiGe-p, destinée à composer la base 117.

20

Etape 8 (figure 5.8) : on réalise ladite tranchée 108 par gravure par ion réactif (R.I.E., Reactive Ion Etching) à la verticale de l'emplacement de la grille.

25

Etape 9 (figure 5.9) : par oxydation, on nappe d'une couche 109 d'oxyde de silicium les parois de ladite tranchée 108 de manière à constituer la couche diélectrique de la liaison capacitive entre la grille 113 et les couches 103, 107-117, 118 n ou p du composant.

Etape 10 (figure 5.10) : on réalise, par gravure dans la couche 99 d'oxyde de silicium, des évidements 110 prévus pour recevoir la couche de silicium dopée composant l'émetteur.

Etape 11 (figure 5.11) : on dépose une couche 111 de polysilicium dans la

tranchée 108 et sur la surface du composant, notamment dans lesdits évidements 110.

Etape 12 (figure 5.12) : on enlève par gravure, dans la couche de polysilicium 111, toutes les parties autres que celles 112, 113 prévues pour 5 composer l'émetteur 118 et la grille 113.

Etape 13 (figure 5.13) : on réalise, par oxydation localisée du polysilicium, des murs d'isolation 114, 115 en oxyde de silicium entourant l'émetteur 118 et la grille 113.

Etape 14 (figure 5.14) : on réalise, par implantation localisée d'ions bore ou 10 d'ions phosphore dans la couche 107 de silicium de type Si-p ou Si-n, une liaison électrique 116 de type Si-p<sup>+</sup> ou Si-n<sup>+</sup> entre la base 117 de type Si-p ou Si-n et le contact galvanique 119 de la base.

Etape 15 (figure 5.15) : on procède à un recuit thermique du composant à 15 une température de 1050°C telle que les atomes dopants, contenus dans le polysilicium, diffusent dans la couche de silicium de type Si-p ou Si-n. On réalise ainsi, l'émetteur 118 de type Si-n<sup>+</sup> ou Si-p<sup>+</sup>.

Etape 16 (figure 5.16) : on met en place les contacts galvaniques 119, 120, 121, 122 de la base 117, de l'émetteur 118, de la grille 113, du collecteur 103.

20 De préférence, on réalise les contacts galvaniques 119, 120, 121, 122 en procédant :

- à l'ouverture des zones de contact de la base 107-117 et du collecteur 103-106, notamment en gravant l'oxyde de silicium (masquage suivi d'une attaque chimique),

25 

- à un dépôt de titane ou de tungsten sur toute la surface du composant,

- un recuit thermique pour réaliser les siliciures de titane ou de tungsten assurant les contacts métal-silicium,

- une gravure sélective du titane ou du tungsten à l'emplacement des

zones de dépôt situées au dessus de l'oxyde de silicium.

## Revendications

1. Procédé pour améliorer les performances, notamment le gain en courant, d'un composant électronique tétrapode, ledit procédé étant caractérisé en ce qu'il comprend

5 - l'étape d'intégrer un composant MOS comportant une source, une grille (113) et un drain dans un transistor bipolaire comportant un émetteur (118), une base (117) et un collecteur (103) ;

10 le transistor bipolaire et le composant MOS étant tels que l'émetteur (118) et la source sont constitués par la même couche n ou p, et tels que le collecteur (103) et le drain sont constitués par la même couche n ou p ;

15 l'effet MOS étant perpendiculaire aux plans des couches n ou p du transistor bipolaire,

*(de sorte que les porteurs de charges positives ou négatives circulent selon ladite direction et que les densités de courant électrique varient dans le volume du transistor) ;*

20 lesdits émetteur (118), base (117), grille (113) et collecteur (103) étant électriquement connectés à quatre contacts galvaniques distincts, respectivement référencés (120), (119), (121), (122) pour l'émetteur (118), la base (117), la grille (113) et le collecteur (103) ;

25 - de polariser les quatre contacts galvaniques, selon des tensions indépendantes les unes des autres, de manière à mettre en oeuvre l'un ou l'autre des trois modes de fonctionnement suivants :

\* fonctionnement bipolaire,

\* fonctionnement MOS,

25 \* fonctionnement hybride,

*(de sorte qu'en mode de fonctionnement hybride il est possible d'ajuster la valeur du gain en courant).*

2. Procédé selon la revendication 1 tel que la différence de potentiel entre la grille (113) et la base (117) est appliquée sur au moins une des faces

d'une tranchée (108) perpendiculaire aux plan des couches n et p empilées du transistor bipolaire.

3. Procédé selon la revendication 1 tel que la différence de potentiel entre la grille (113) et la base (117) est appliquée sur les faces d'un puits traversant perpendiculairement les couches n et p empilées du transistor bipolaire.

4. Procédé selon l'une quelconque des revendications 1 à 3 tel que la différence de potentiel entre la grille et la base a une valeur sensiblement comprise entre 0 Volt et 5 Volts .

5. Composant microélectronique tétrapode conjuguant l'effet bipolaire et l'effet MOS, caractérisé en ce qu'il comprend :

- des couches de silicium n et p empilées pour former un transistor du type n-p-n ou p-n-p ; les couches externes formant respectivement l'émetteur (118) et le collecteur (103) dudit transistor et la couche intermédiaire formant la base (117) ; lesdites couches étant connectées électriquement à des contacts galvaniques distincts de base (119), d'émetteur (120) et de collecteur (122) situés à l'extérieur dudit composant,

- une tranchée (108) traversant perpendiculairement au moins deux des couches contiguës de silicium n et p ; ladite tranchée (108) contenant un matériau électriquement polarisable, notamment un polysilicium ; ledit matériau électriquement polarisable étant couplé par effet capacitif avec les couches de silicium n et p situées en vis-à-vis ; ledit matériau électriquement polarisable formant la grille (113) du transistor MOS ainsi composé et étant connecté électriquement à un contact galvanique (121), situé à l'extérieur dudit composant, distinct des autres contacts galvaniques de base (119), d'émetteur (120) et de collecteur (122)

6. Composant microélectronique selon la revendication 5, tel que ledit matériau électriquement polarisable est électriquement isolé des couches de

silicium n et p par une couche isolante (109), notamment d'oxyde de silicium.

7. Composant microélectronique tétrapode selon l'une quelconque des revendications 5 ou 6 tel que

5 - ladite couche de silicium intermédiaire formant base (117) entoure sur trois côtés la couche de silicium rectangulaire formant émetteur (118),

- ladite couche de silicium formant collecteur (103) entoure sur deux côtés la couche de silicium formant base (117),

10 - ladite tranchée (108), accolée aux tranches n et p, est disposée selon l'un des côtés de la couche de silicium formant base (117).

8. Composant microélectronique tétrapode selon l'une quelconque des revendications 5 ou 6 tel que

15 - ladite couche de silicium intermédiaire formant base (117) entoure la couche de silicium rectangulaire formant émetteur (118) sur ses quatre côtés,

- ladite couche de silicium formant collecteur (103) entoure la couche de silicium formant base (117) sur ses trois côtés,

- ladite tranchée (108), accolée aux tranches n et p, est en forme de puits et est entourée par l'émetteur (118) qu'elle traverse.

20 9. Composant microélectronique tétrapode selon l'une quelconque des revendications 5 à 8 tel que

- la tension appliquée au contact galvanique (120) connecté à l'émetteur (118) est notamment comprise entre 0 Volt et 5 Volts,

- la tension appliquée au contact galvanique (119) connecté à la base (117) est notamment comprise entre 0 Volt et 5 Volts,

- la tension appliquée au contact galvanique (122) connecté au collecteur (103) est notamment comprise entre 0 Volt et 5 Volts,

- la tension appliquée au contact galvanique (121) connecté à la grille (113) est notamment comprise entre 0 Volt et 5 Volts,

*(de sorte que le gain en courant peut être ajusté entre 100 et 10<sup>4</sup>).*

10. Procédé de fabrication d'un composant microélectronique tétrapode conjuguant l'effet bipolaire et l'effet MOS, comprenant :

5        - des couches de silicium n et p (103, 117, 118) empilées pour former un transistor bipolaire du type n-p-n ou p-n-p ; les couches externes formant respectivement l'émetteur (118) et le collecteur (103) dudit transistor et la couche intermédiaire formant la base (117) ; lesdites couches étant connectées électriquement à des contacts galvaniques (119, 120, 122) situés à l'extérieur dudit composant (1) et isolés par des murs d'isolation en oxyde de silicium,

10        - une tranchée (108) traversant perpendiculairement au moins deux des couches contiguës de silicium n et p ; ladite tranchée (108) contenant un matériau électriquement polarisable, notamment un polysilicium ; ledit matériau électriquement polarisable étant couplé par effet capacitif avec les couches de silicium n et p situées en vis-à-vis ; ledit matériau électriquement polarisable formant la grille (113) du transistor MOS ainsi composé et étant connecté électriquement à un contact galvanique (121) situé à l'extérieur dudit composant (1),

15        ledit procédé étant caractérisé en ce que, pour fabriquer le composant microélectronique tétrapode (1), on met en oeuvre au moins certaines des étapes suivantes, connues en soi, entrant dans la fabrication des composants transistors tels que des BICMOS et des composants mémoires tels que des DRAM (Dynamique Random Access Memory), en procédant comme suit :

20        - 1) on réalise un substrat de silicium (100) faiblement dopé p de type Si-p ou dopé n de type Si-n, ledit substrat étant recouvert d'une couche isolante d'oxyde de silicium (99),

25        - 2) on réalise, par implantation localisée d'ions antimoine ou d'ions bore, la couche enterrée (101) de type Si-n<sup>+</sup> ou Si-p<sup>+</sup> du collecteur (103),

- 3) on dépose sur le substrat de silicium (100) et sur la couche enterrée (101), par croissance épitaxiale, une couche (102) de silicium de type Si-p ou une couche de silicium de type Si-n,

5 - 4) on réalise, par implantation localisée d'ions antimoine ou d'ions bore, dans la couche (102) de type Si-p ou de type Si-n, un caisson (103) de silicium dopé de type Si-n ou Si-p, destiné à constituer le collecteur (103),

10 - 5) on réalise, par sur-oxydation en surface, les murs d'isolation (104) d'oxyde de silicium ( $\text{SiO}_2$ ) autour de la zone (105) prévue pour recevoir le contact galvanique (122) du collecteur (103) et aux extrémités du composant,

15 - 6) on réalise, par implantation localisée d'ions phosphore ou d'ions bore à la verticale de l'emplacement (105) prévu pour recevoir le contact galvanique (122) du collecteur (103), un puits d'accès (106) à la couche enterrée (101) du collecteur (103) ; ledit puits d'accès étant de type  $\text{Si-n}^+$  ou  $\text{Si-p}^+$ ,

- 7) on réalise, par implantation localisée d'ions bore ou d'ions phosphore dans le caisson (103), une couche (107) de silicium de type Si-p ou Si-n, ou de SiGe-p, destinée à composer la base (117),

20 - 8) on réalise ladite tranchée (108) par gravure par ion réactif (R.I.E., Reactive Ion Etching) à la verticale de l'emplacement de la grille (113),

- 9) par oxydation, on nappe d'une couche (109) d'oxyde de silicium les parois de ladite tranchée (108),

25 *(de manière à constituer la couche diélectrique de la liaison capacitive entre la grille (113) et les couches (102, 107, 118) du composant),*

- 10) on réalise, par gravure dans la couche d'oxyde de silicium (99), des évidements (110) prévus pour recevoir la couche de silicium dopée composant l'émetteur (118),

- 11) on dépose une couche de polysilicium (111) dans la tranchée

(108) et sur la surface du composant (1), notamment dans lesdits évidements (110),

5 - 12) on enlève, par gravure, dans la couche de polysilicium (111), toutes les parties autres que celles (112, 113) prévues pour composer l'émetteur (118) et la grille (113),

- 13) on réalise, par oxydation localisée du polysilicium, des murs (114, 115) d'isolation en oxyde de silicium entourant l'émetteur (118) et la grille (113),

10 - 14) on réalise, par implantation localisée d'ions bore ou d'ions phosphore dans la couche (107) de silicium de type Si-p ou Si-n, une liaison électrique (116) de type Si-p<sup>+</sup> ou Si-n<sup>+</sup> entre la base (117) de type Si-p ou Si-n et le contact galvanique (119) de la base (117),

15 - 15) on procède à un recuit thermique du composant à une température telle que les atomes dopants contenus dans le polysilicium (111) diffusent dans la couche (107) de silicium de type Si-p ou Si-n, de manière à réaliser l'émetteur (118) de type Si-n<sup>+</sup> ou Si-p<sup>+</sup>,

- 16) on met en place les contacts galvaniques distincts : base (119), émetteur (120), grille (121) et collecteur (122), respectivement de la base (117), de l'émetteur (118), de la grille (113) et du collecteur (103).

20 11. Procédé selon la revendication 10 tel que pour réaliser les contacts galvaniques (119, 120, 121, 122) on procède :

- à l'ouverture des zones de contact de la base et du collecteur, notamment en gravant l'oxyde de silicium (masquage suivi d'une attaque chimique),

25 - au dépôt de titane ou de tungstène sur toute la surface du composant,

- un recuit thermique pour réaliser les siliciures de titane ou de tungstène assurant les contacts métal-silicium,

- une gravure sélective du titane ou du tungstène à l'emplacement

des zones de dépôt situées au dessus de l'oxyde de silicium.

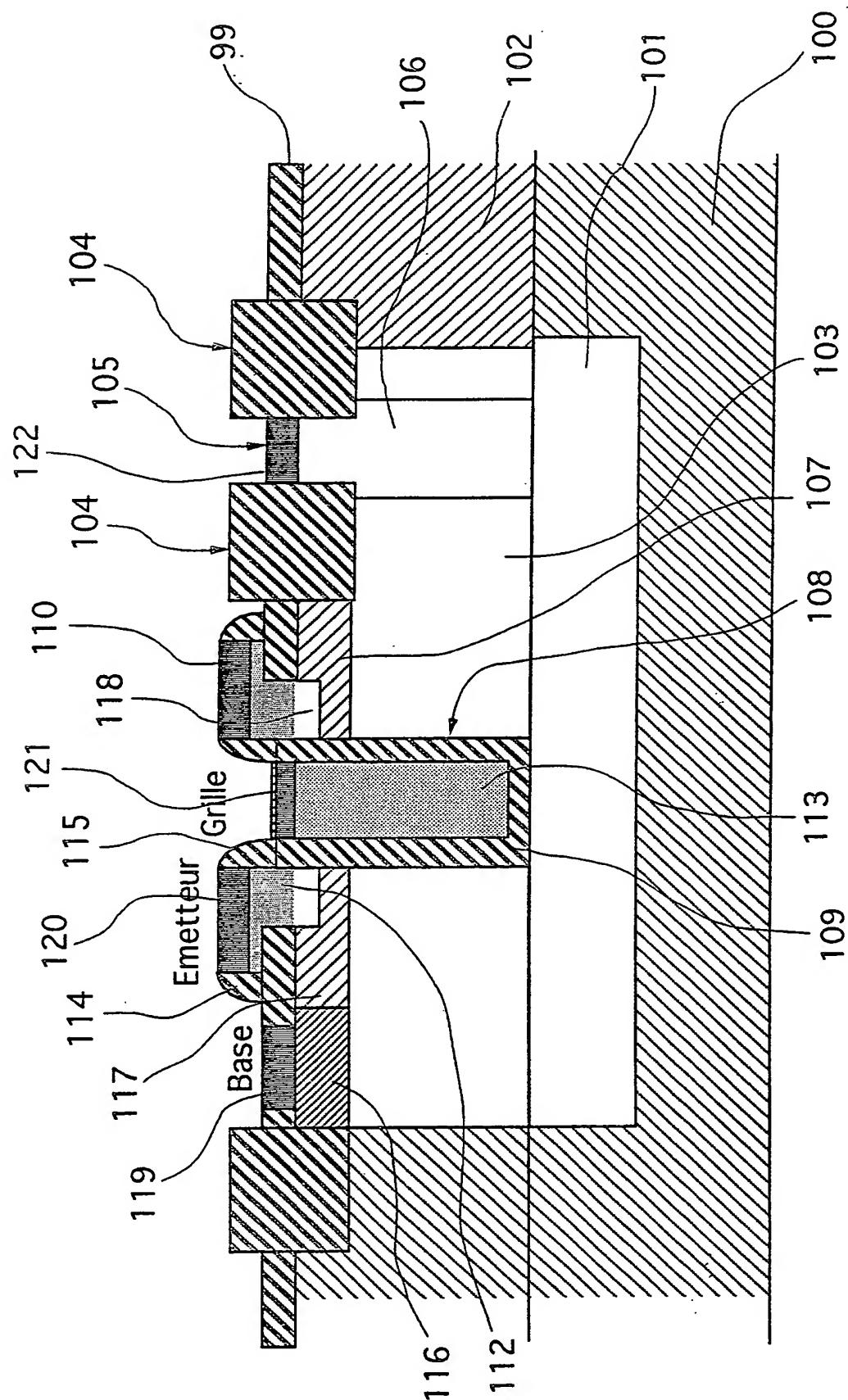


Fig. 1

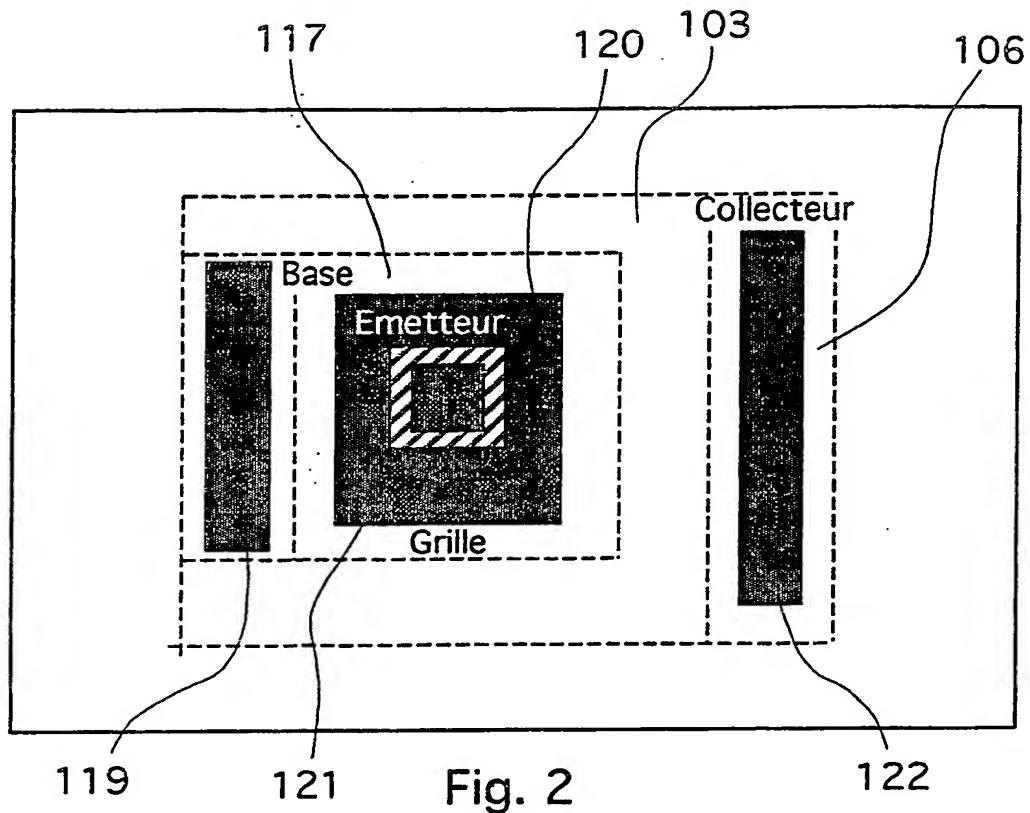


Fig. 2

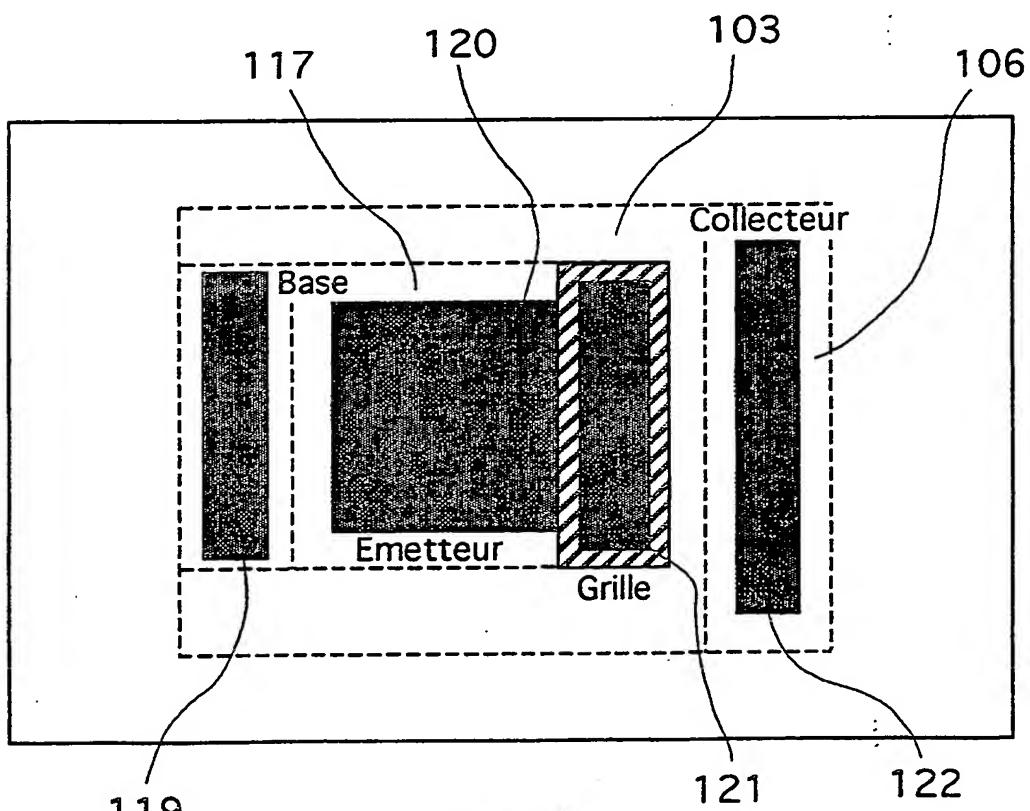
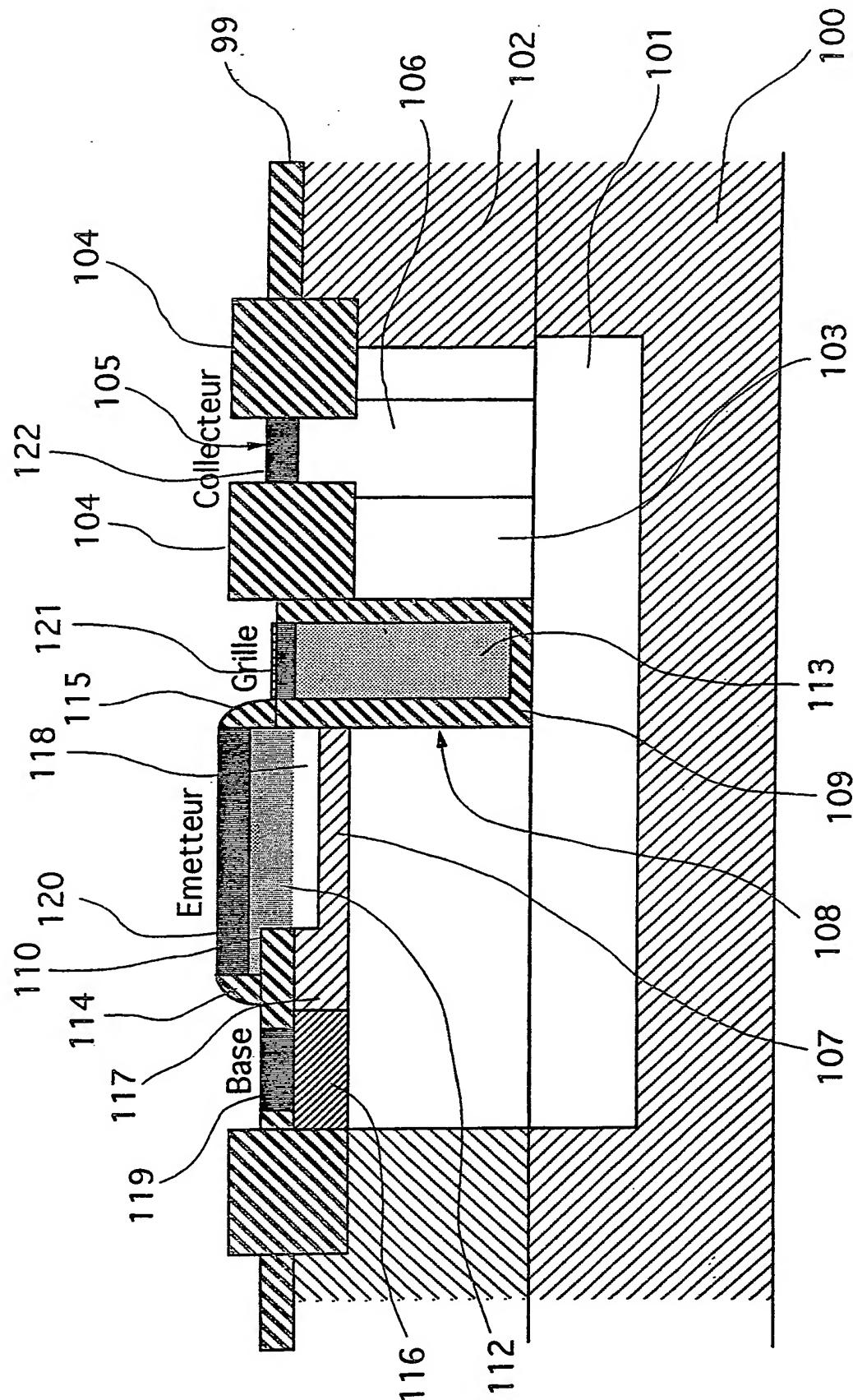


Fig. 4



三  
正

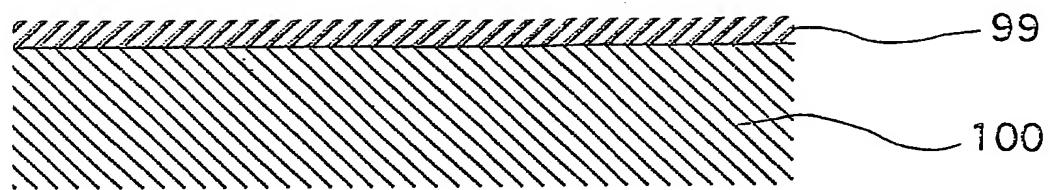


Fig. 5.1

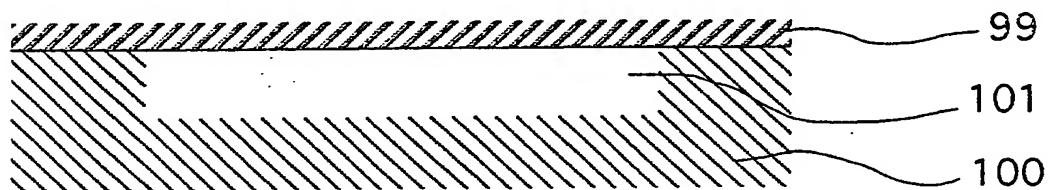


Fig. 5.2

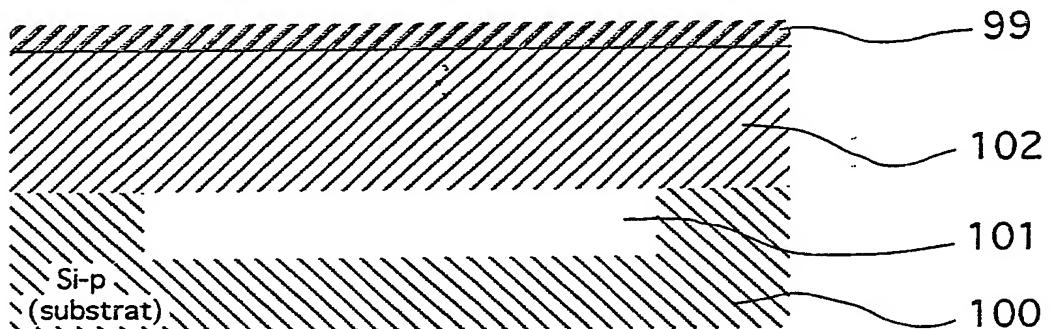


Fig. 5.3

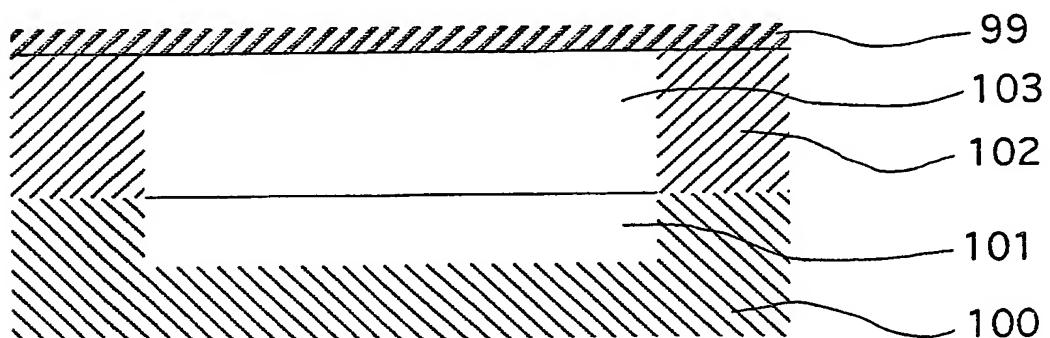


Fig. 5.4

Oxyde SiO<sub>2</sub>   Si-p   Si-n ou Si-n+   Si-p épitaxie

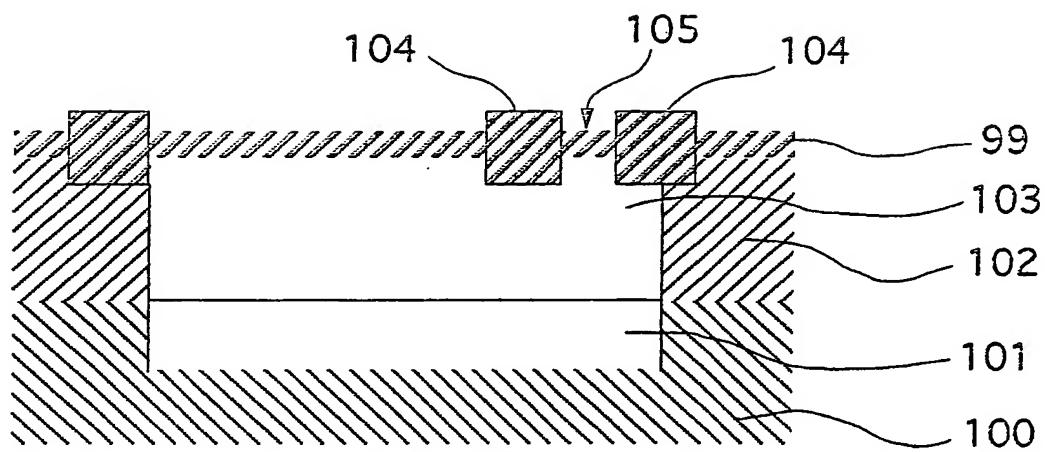


Fig. 5.5

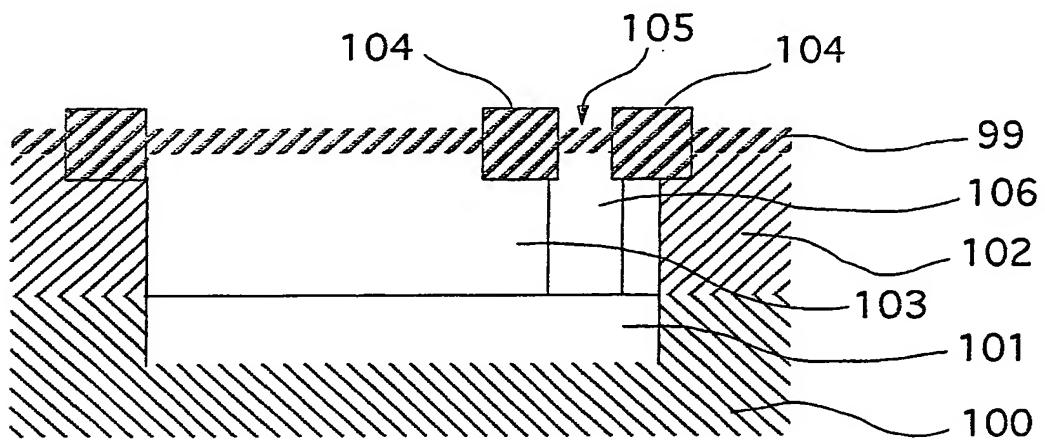


Fig. 5.6

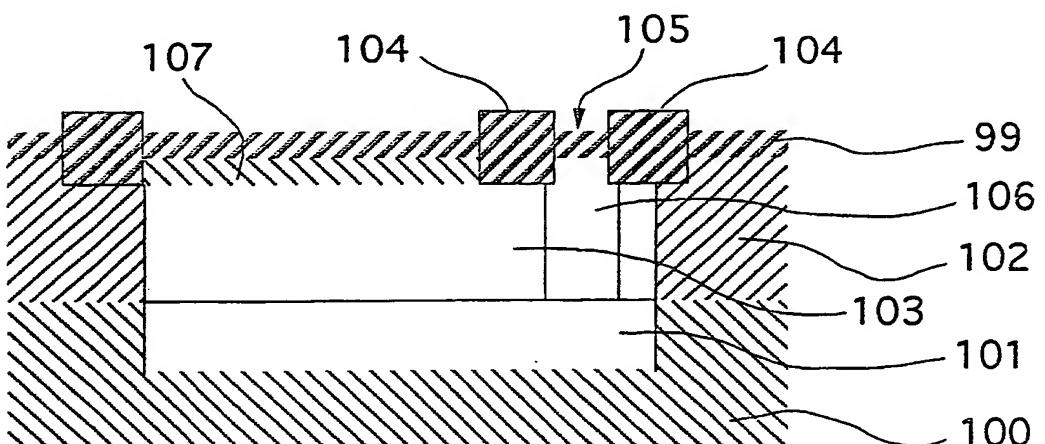


Fig. 5.7

■■■ Oxyde SiO<sub>2</sub>   ■■■ Si-p   ■■■ Si-n ou Si-n+   ■■■ Si-p épitaxie

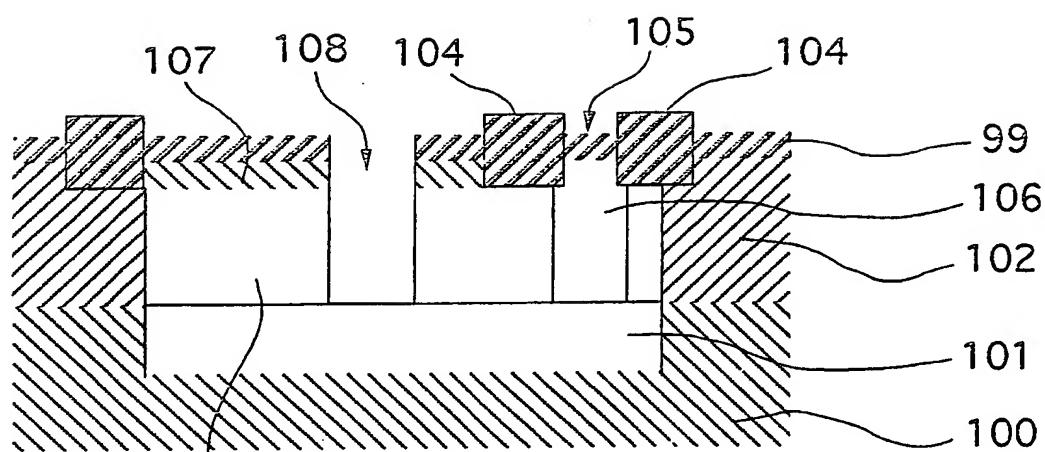


Fig. 5.8

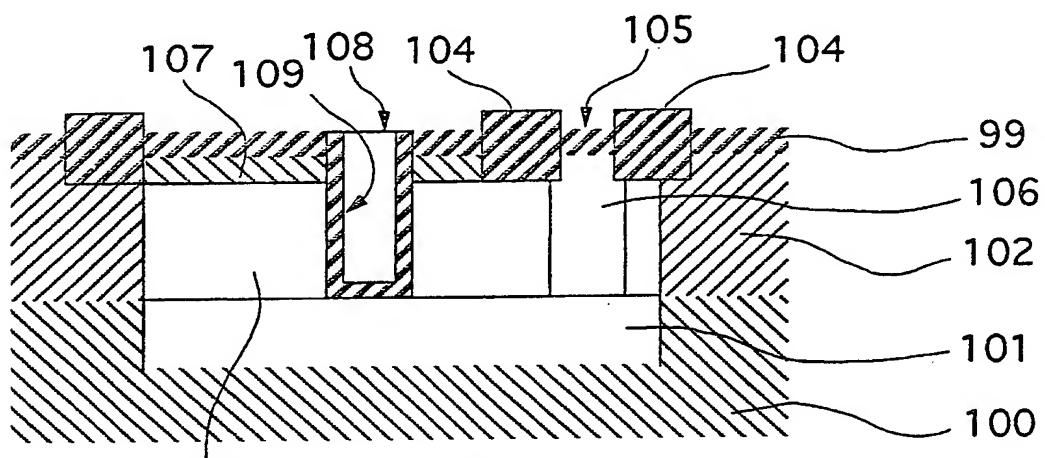


Fig. 5.9

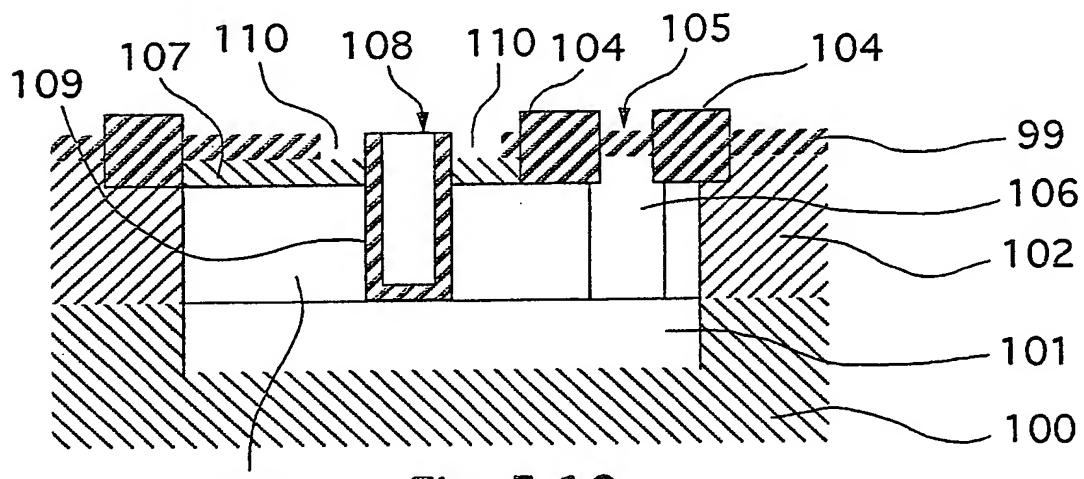
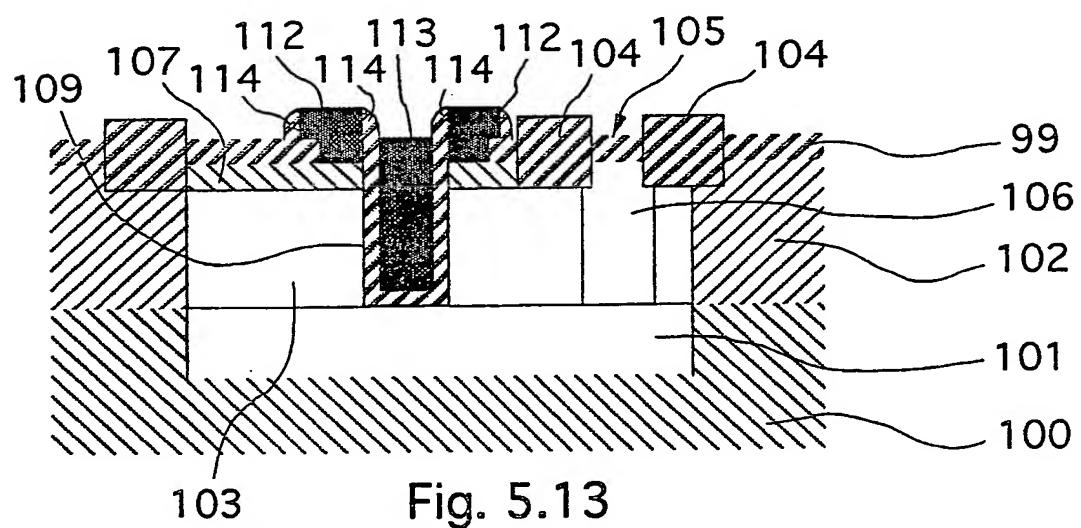
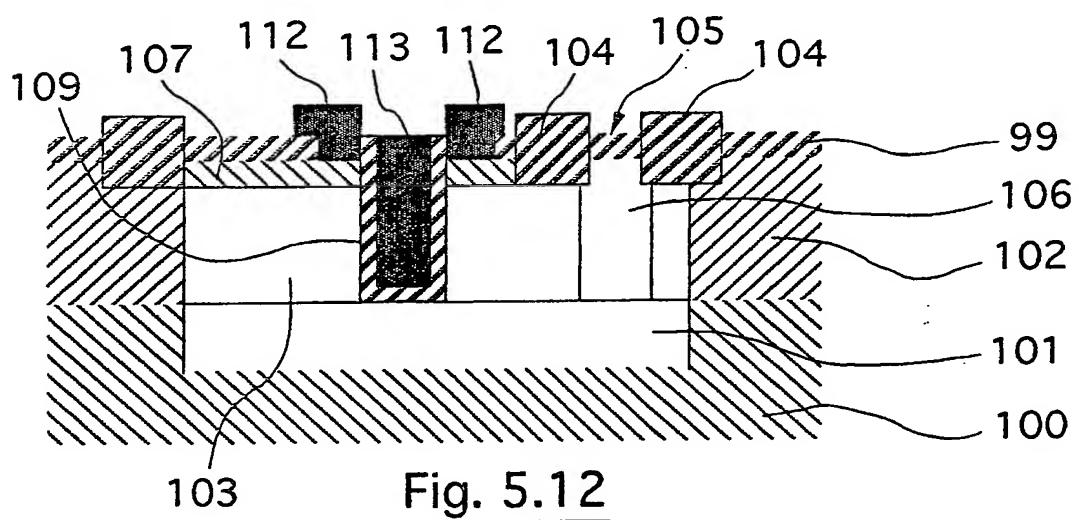
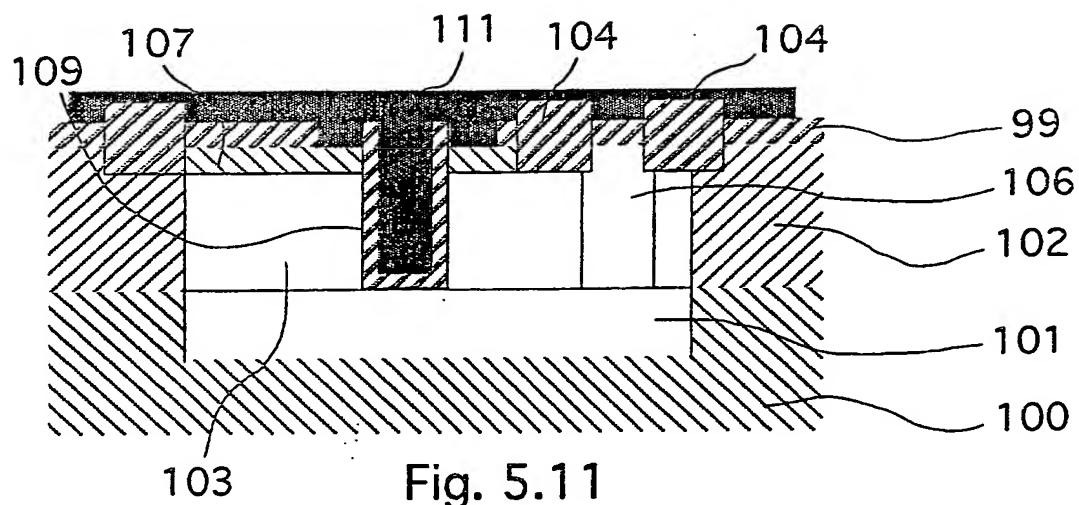


Fig. 5.10

Oxyde SiO<sub>2</sub>  
 Si-p  
 Si-n ou Si-n+  
 Si-p épitaxie

7/9



Oxyde SiO <sub>2</sub>	Si-p	Si-n ou Si-n+	Si-p épitaxie
Polysilicium			

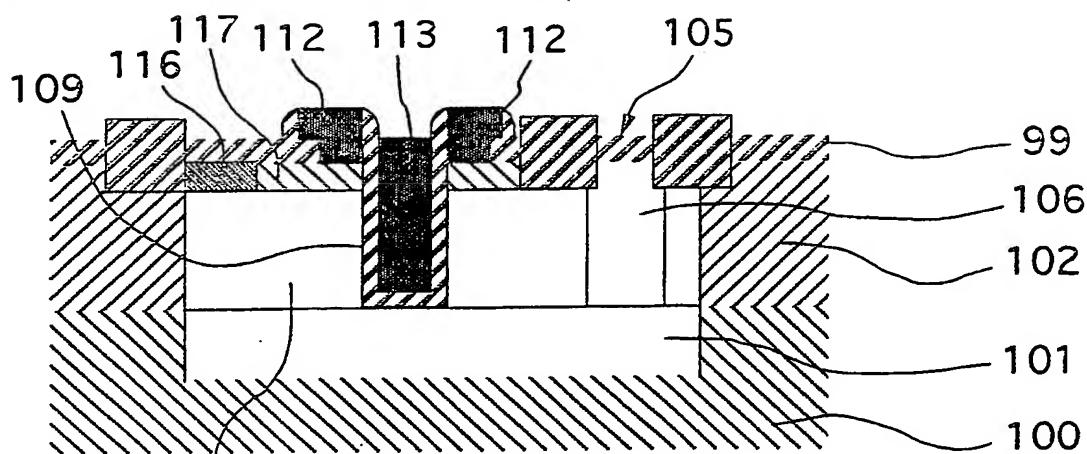


Fig. 5.14

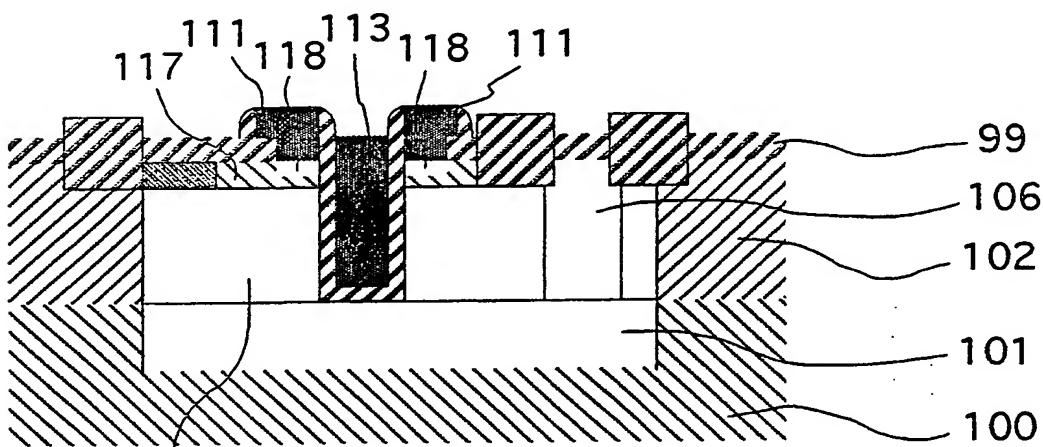


Fig. 5.15

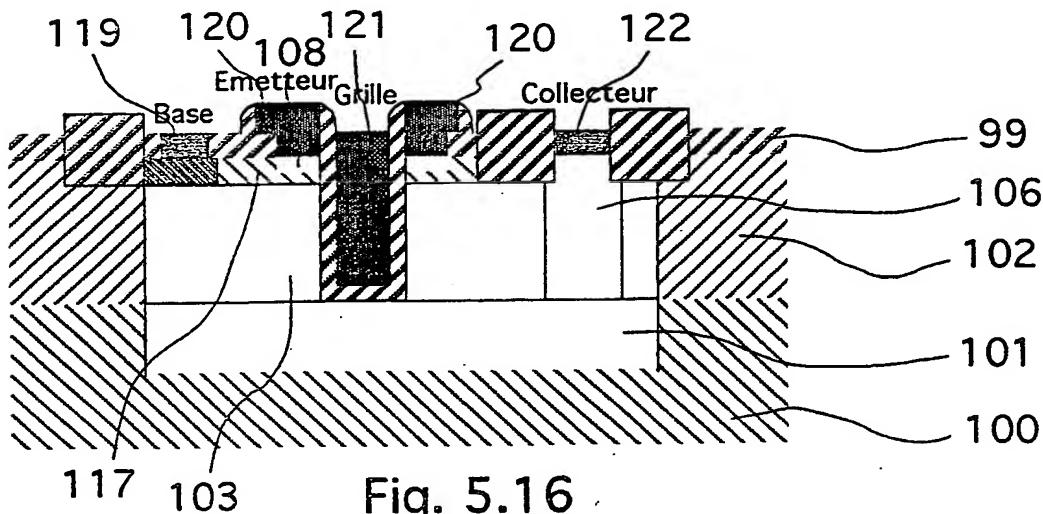


Fig. 5.16

Oxyde SiO <sub>2</sub>	Si-p	Si-n ou Si-n+	Si-p épitaxie
Polysilicium	Si-p+	prise de contact	

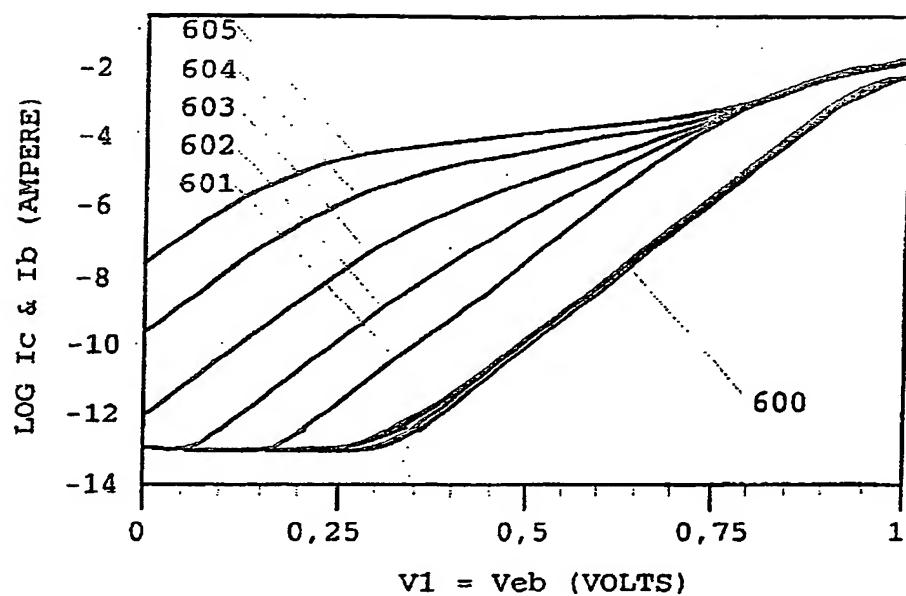


FIG. 6

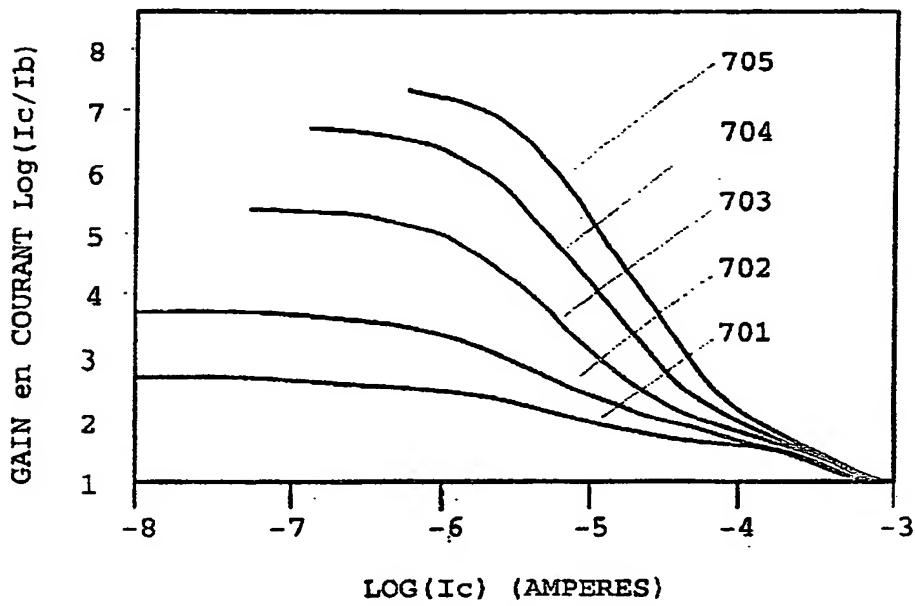


FIG. 7

# INTERNATIONAL SEARCH REPORT

Intern. Application No  
PCT/FR 99/02485

**A. CLASSIFICATION OF SUBJECT MATTER**  
 IPC 7 H01L29/73 H01L21/331 H01L27/07 H01L29/732 H01L21/28

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 5 776 813 A (HUANG TZUEN-HSI ET AL) 7 July 1998 (1998-07-07) cited in the application column 2, line 38 -column 5, line 7; figures 1-8	1-7, 9, 10
A	---	8, 11 -/-

Further documents are listed in the continuation of box C.

Patent family members are listed in annex.

\* Special categories of cited documents :

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority, claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search

22 November 1999

Date of mailing of the international search report

29/11/1999

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl.  
Fax: (+31-70) 340-3016

Authorized officer

Polesello, P

## INTERNATIONAL SEARCH REPORT

Intern	al Application No
PCT/FR 99/02485	

## C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	MOERSCHEL K G ET AL: "BEST: A BICMOS-COMPATIBLE SUPER-SELF-ALIGNED ECL TECHNOLOGY" PROCEEDINGS OF THE CUSTOM INTEGRATED CIRCUITS CONFERENCE, BOSTON, MAY 13 - 16, 1990, no. CONF. 12, 13 May 1990 (1990-05-13), pages 1831-1834, XP000167730 INSTITUTE OF ELECTRICAL AND ELECTRONICS ENGINEERS cited in the application paragraph 'WAFER!; figures 1A-1L ---	1-7, 9, 10
A	R.J. MILLER: "Depressed Base Transistor." August 1980." IBM TECHNICAL DISCLOSURE BULLETIN, vol. 23, no. 3, August 1980 (1980-08), pages 1012-1016, XP002105726 New York, US * the whole document ---	11 7, 8, 10, 11
A	US 4 521 952 A (RISEMAN JACOB) 11 June 1985 (1985-06-11) column 6, line 38 -column 7, line 2; figures 1-7 ---	10, 11
A	EP 0 657 944 A (NORTHERN TELECOM LTD) 14 June 1995 (1995-06-14) cited in the application figure 2 ---	1-11
A	R.L. AYERS, P.H. SMITH AND G.B. STEPHENS: "PNP Junction Field Effect Transistor." August 1976." IBM TECHNICAL DISCLOSURE BULLETIN, vol. 19, no. 3, August 1976 (1976-08), pages 984-985, XP002105748 New York, US * the whole document ---	5-8

## INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No  
PCT/FR 99/02485

Patent document cited in search report	Publication date	Patent family member(s)			Publication date
US 5776813	A 07-07-1998	NONE			
US 4521952	A 11-06-1985	EP 0110211 A	13-06-1984		
		JP 1717263 C	14-12-1992		
		JP 3076576 B	05-12-1991		
		JP 59106150 A	19-06-1984		
EP 0657944	A 14-06-1995	CA 2135981 A	10-06-1995		
		JP 7202051 A	04-08-1995		
		US 5717241 A	10-02-1998		
		US 5764106 A	09-06-1998		

# RAPPORT DE RECHERCHE INTERNATIONALE

Demz Internationale No  
PCT/FR 99/02485

A. CLASSEMENT DE L'OBJET DE LA DEMANDE  
CIB 7 H01L29/73 H01L21/331 H01L27/07 H01L29/732 H01L21/28

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

## B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE

Documentation minimale consultée (système de classification suivi des symboles de classement)

CIB 7 H01L

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si réalisable, termes de recherche utilisés)

## C. DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
Y	US 5 776 813 A (HUANG TZUEN-HSI ET AL) 7 juillet 1998 (1998-07-07) cité dans la demande colonne 2, ligne 38 -colonne 5, ligne 7; figures 1-8	1-7, 9, 10
A	---	8, 11 -/-

Voir la suite du cadre C pour la fin de la liste des documents

Les documents de familles de brevets sont indiqués en annexe

### ° Catégories spéciales de documents cités:

- "A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent
- "E" document antérieur, mais publié à la date de dépôt international ou après cette date
- "L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)
- "O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens
- "P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

"T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention

"X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément

"Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier

"&" document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée

22 novembre 1999

Date d'expédition du présent rapport de recherche internationale

29/11/1999

Nom et adresse postale de l'administration chargée de la recherche internationale  
Office Européen des Brevets, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl.  
Fax: (+31-70) 340-3016

Fonctionnaire autorisé

Polesello, P

RAPPORT DE RECHERCHE INTERNATIONALE

International No  
PCT/FR 99/02485

C.(suite) DOCUMENTS CONSIDERES COMME PERTINENTS

Categorie	Identification des documents cites, avec le cas echeant, l'indication des passages pertinents	no. des revendications visees
Y	MOERSCHEL K G ET AL: "BEST: A BICMOS-COMPATIBLE SUPER-SELF-ALIGNED ECL TECHNOLOGY" PROCEEDINGS OF THE CUSTOM INTEGRATED CIRCUITS CONFERENCE, BOSTON, MAY 13 - 16, 1990, no. CONF. 12, 13 mai 1990 (1990-05-13), pages 1831-1834, XP000167730 INSTITUTE OF ELECTRICAL AND ELECTRONICS ENGINEERS cité dans la demande	1-7, 9, 10
A	alinéa 'WAFER!'; figures 1A-1L ---	11
A	R.J. MILLER: "Depressed Base Transistor. August 1980." IBM TECHNICAL DISCLOSURE BULLETIN, vol. 23, no. 3, août 1980 (1980-08), pages 1012-1016, XP002105726 New York, US * Tout le document *	7, 8, 10, 11
A	US 4 521 952 A (RISEMAN JACOB) 11 juin 1985 (1985-06-11) colonne 6, ligne 38 -colonne 7, ligne 2; figures 1-7 ---	10, 11
A	EP 0 657 944 A (NORTHERN TELECOM LTD) 14 juin 1995 (1995-06-14) cité dans la demande figure 2 ---	1-11
A	R.L. AYERS, P.H. SMITH AND G.B. STEPHENS: "PNP Junction Field Effect Transistor. August 1976." IBM TECHNICAL DISCLOSURE BULLETIN, vol. 19, no. 3, août 1976 (1976-08), pages 984-985, XP002105748 New York, US * Tout le document *	5-8

# RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs à...nombres de familles de brevets

Demar Internationale No  
PCT/rR 99/02485

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)		Date de publication
US 5776813	A 07-07-1998	AUCUN		
US 4521952	A 11-06-1985	EP JP JP JP	0110211 A 1717263 C 3076576 B 59106150 A	13-06-1984 14-12-1992 05-12-1991 19-06-1984
EP 0657944	A 14-06-1995	CA JP US US	2135981 A 7202051 A 5717241 A 5764106 A	10-06-1995 04-08-1995 10-02-1998 09-06-1998